

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-288205

(43)Date of publication of application : 28.11.1990

(51)Int.Cl.

H01C 13/02

H01C 7/00

H05K 1/18

(21)Application number : 01-109703

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.04.1989

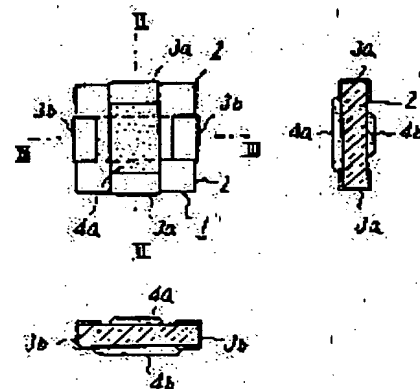
(72)Inventor : TAKAGI ATSUSHI

(54) CHIP ELEMENT

(57)Abstract:

PURPOSE: To reduce the area of a printed wiring board loaded, and to eliminate the need for crossed passage among chip elements of a conductor pattern by disposing a plurality of electric elements in a crossed manner on both surface and rear of a base material and arranging electrodes corresponding to a plurality of the electric elements to each edge side of the base material.

CONSTITUTION: Electrodes 3a and 3b are formed of a conductor material in an approximately U shape at the opposed sections of each edge side of a ceramic substrate 2, and disposed so as to be crossed mutually. Printed resistors 4a and 4b are shaped through a printing method, etc., so as to be crossed on the electrodes 3a and 3b on both surface and rear of the ceramic substrate 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Japanese Patent Application Laid-Open No. H2-288205

Claim

A chip element, comprising:

one or a plurality of electric elements disposed on both front and back surfaces of a base member so as to intersect with each other; and

electrodes corresponding to the respective electric elements and being disposed while extending to respective margins of the base member.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-288205

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月28日

H 01 C 13/02
7/00
H 05 K 1/18

B 7303-5E
B 8525-5E
K 6736-5E

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 チップ素子

⑯ 特 願 平1-109703

⑰ 出 願 平1(1989)4月27日

⑱ 発 明 者 高 木 篤 志 京都府長岡京市馬場岡所1番地 三菱電機株式会社電子商品開発研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

チップ素子

2. 特許請求の範囲

基材の表・裏両面に交叉するよう配設された各々1個または複数個の電気素子と、この各電気素子に対応し基材の各縁辺部に延在して配設してなる電極とを備えたチップ素子。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、印刷配線板に用いられる電気的なチップ素子に関するものである。

(従来の技術)

第7図は従来例のチップ素子の正面図で、第8図は第7図におけるⅠ-Ⅰ線の断面図である。図において、1はチップ素子、2はこのチップ素子1のベースを構成するセラミック基板、3はこのセラミック基板2の両端に略コ字状に導体材料により形成された電極、4はセラミック基板2の片面上に上記両端の電極3間に例えば印刷法などに

より形成された印刷抵抗体である。

第9図は上記従来例のチップ素子1を複数搭載した印刷組立板6の正面図であり、6はこの印刷組立板6のベースを構成する樹脂基材などからなる印刷配線板、7a、7b、7c、7dは従来例のチップ素子1の両端電極と各々電気的にはんだ付けなどにより接続するように印刷配線板6上に配設された導体パターンで、そのうちの導体パターン7cはチップ素子1の両端の電極3と接触しないようチップ素子1の中央部付近を交叉して配設されている。

(発明が解決しようとする課題)

従来のチップ素子は以上のように構成されているので、印刷配線板上に2個以上のチップ素子を搭載する場合、チップ素子が重ならないように印刷配線板上に搭載しなければならず、印刷配線板の面積を多く要する。また、導体パターンがチップ素子を交叉通過するために導体パターンをチップ素子電極間に配設する手段が必要になるという問題点があつた。

この発明は上記のような問題点を解消するため

になされたもので、搭載印刷配線板の面積が小さくて済み、かつ導体パターンをチップ素子電極間に交叉して通過させる必要のないチップ素子を提供せんとするものである。

(課題を解決するための手段)

この発明に係るチップ素子は、複数の電気素子を基材の表・裏両面に交叉配設し、かつ基材の各縁辺部に上記複数の電気素子と対応する電極を配設したものである。

(作用)

この発明においては、同一基板の表・裏に電気素子を交叉して配設したので、チップ素子を印刷配線板に搭載するスペースが小さくて済み、かつ導体パターンをチップ素子電極間に交叉して通す必要がない。

(実施例)

第1図はこの発明の一実施例を示すチップ素子の正面図、第2図及び第8図は第1図におけるⅡ-Ⅱ線及びⅢ-Ⅲ線の断面図である。これらの図において、1はチップ素子、2はチップ素子1の

以上のようにこの発明によれば、印刷抵抗など複数の電気素子を基材の表・裏両面に交叉して配設したので、チップ素子を印刷配線板に搭載するのに必要な印刷配線板面積は小さくて済み、また導体パターンをチップ素子電極間に交叉して通過させる必要がないなどのすぐれた効果を奏する。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるチップ素子を示す正面図、第2図及び第8図は第1図におけるⅡ-Ⅱ線及びⅢ-Ⅲ線の断面図、第4図はこの発明によるチップ素子を搭載した印刷組立板の正面図、第5図はこの発明の他の実施例を示すチップ素子の正面図、第6図は第5図におけるⅣ-Ⅳ線の断面図、第7図は従来のチップ素子を示す正面図、第8図は第7図におけるⅤ-Ⅴ線の断面図、第9図は従来のチップ素子を搭載した印刷組立板の正面図である。

図中、1はチップ素子、2はセラミック基板、3a、3bは電極、4a、4bは印刷抵抗体、5は印刷組立板、6は印刷配線板、7a、7b、7c、7dは導体パターンである。

ベースとなる正方形のセラミック基板、3a及び3bはこのセラミック基板2の各縁辺の対向部位に略コ字状に導体材料により形成され、互いに交叉するように配設された2対の電極、4a及び4bはセラミック基板2の表・裏両面で、かつ上記電極3a及び3bの上に交叉するように、例えば印刷法などにより形成された印刷抵抗体である。

第4図は上記のように構成したチップ素子を搭載した印刷組立板の正面図で、5はチップ素子を搭載した印刷組立板、6は樹脂基材からなり、印刷組立板5のベースとなる印刷配線板、7a、7b、7c、7dはチップ素子1の電極3a及び3bと各々電気的にはんだ付けなどにより接続するように印刷配線板6上に配設された導体パターンである。

なお上記実施例では、セラミック基板2の表・裏両面に1組ずつの印刷抵抗体を配設したものを示したが、第5図及び第6図のようにセラミック基板2の表・裏両面に複数の印刷抵抗体4a、4bなどの電気素子を配設することもできる。

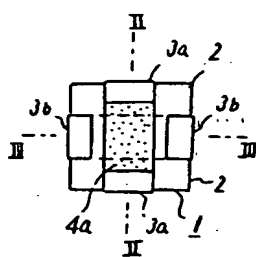
(発明の効果)

なお図中同一符号は同一または相当部分を示す。

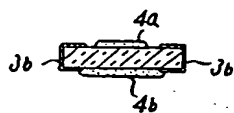
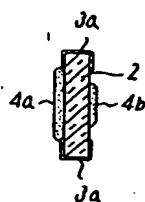
代理人 大 岩 増 雄

1: チップ素子
2: セラミック基板
3a, 3b: 電極
4a, 4b: 印刷抵抗体

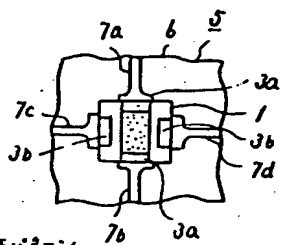
第1図



第2図



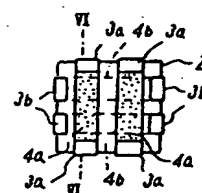
第3図



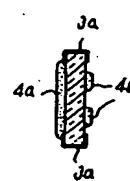
第4図

5: 印刷抵抗膜
6: 印刷配線膜
7a, 7b, 7c, 7d: 導体パターン

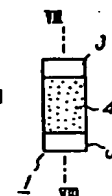
第5図



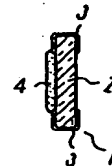
第6図



第7図



第8図



第9図

